**Definición del problema:**

Como parte de los requerimientos de aprobación y/o regularización de la materia Electrónica aplicada I se plantea la necesidad de construir un sistema que plasme/aplique los conocimientos adquiridos en dicha materia. Dicho trabajo deberá ser presentado funcionando y con su respectivo informe.

**Solución propuesta:**

Construcción de un amplificador de guitarra de 1 W de potencia.

**Justificación:**

Un amplificador de guitarra integra gran parte del contenido y conceptos del programa analítico de la materia. Por lo que resulta una buena opción como tema de trabajo final.

Temas incluidos:

* Tema 1: Señales y sistemas electrónicos
* Tema 2: Transistor bipolar con señales débiles
* Tema 3: Transistor unipolar con señales débiles
* Tema 4: Transistor con señales fuertes
* Tema 5: Estabilidad del punto de reposo
* Tema 6: Amplificadores multietapa
* Tema 7: Fuentes de corriente constante
* Tema 8: Amplificador diferencial
* Tema 9: Fuentes de alimentación lineales

**Objetivos:**

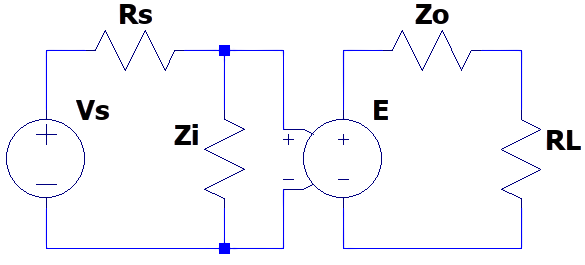
* Integrar y aplicar los conceptos vistos en la materia y en otras también.

**Alcances y limitaciones:**

El circuito está hecho para trabajar en la banda de audiofrecuencias (20 Hz~20 kHz). Al ser de baja potencia (1 W) tendrá la limitación de no ser útil en espacios muy abiertos si el objetivo es conseguir un volumen considerable. Como ventaja, se puede ajustar para que sea utilizable con auriculares. Es de suma importancia saber que dicho amplificador está diseñado para operar con impedancias de entrada de entre los 5 a 15 kΩ y de carga de 6 u 8 Ω para parlantes y 32 Ω para auriculares.

**Diagrama de bloques del amplificador para guitarra:**

**Diagrama representativo de un Amplificador de Tensión:**

* **Condiciones del amplificador:**
  + Desde hasta (según pastilla de bobinado en las eléctricas)
  + **y**
  + **;**  **o**
  + **;**
  + **Potencia:**

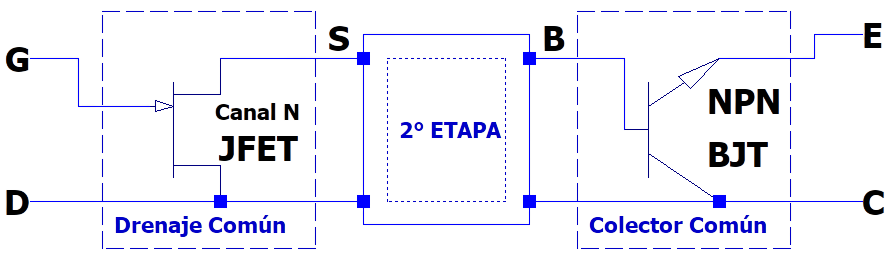
**Síntesis:**

1. Primera etapa = Seguidor de fuente => JFET Drenaje Común (Baja ganancia (<1) pero con Zi alta y Zo baja)
2. Última etapa = Seguidor de emisor, circuito de enlace => Colector Común (Baja Zo y alta corriente) (Polarizar con fuente corriente)
3. Segunda etapa debe adaptarse a la última (Zo 2° >> Zi 3°) y adaptarse a la primera (Zo 1° << Zi 2°) y debe “asumir” toda la ganancia por eso se usa diferencial, y los “super Betas” para corriente (la ganancia objetivo de todas formas no es alta, máximo 60)
4. Invertir la señal con respecto a la entrada no afecta ya que es solo un canal.
5. RL objetivo es de 8 Ohms, ¿con 32 Ohms la corriente será menor? O aumentará la corriente?¿Con 6 Ohms qué pasará? **El diseño se encara para 8 Ohms, en el caso de que al variar esta resistencia se vea inutilizable los auriculares se elegirá entonces la opción de 32 Ohms, ya que es más barato conseguir auriculares que conseguir parlantes de 8 Ohms. Con respecto a si no se puede usar 6 Ohms en este diseño no es realmente un problema ya que los parlantes de 8 son de mayor calidad sonora? (AVERIGUAR POR QUE). Ver de agregar incluso una resistencia para aumentar los 32 Ohms y que la corriente no sea tan elevada)**
6. (VER FOTO CALCULOS): (valores máximos)
7. Por todo lo que se viene hablando es razonable pensar que una polarización por divisor de tensión no es conveniente para usar en etapas de potencia (ver power point U3B pagina 21) De ser necesario, se agregará una RB2. ¿Qué beneficio trae?¿Es más estable?
8. El máximo rendimiento se logra cerca de 12 Ohms, con 1 kOhm se tiene aprox 0.39% (no es opción)
9. RED DE ZOBEL
10. ETAPA DE CONTROL (ver <https://youtu.be/8qZsorqc-_0?t=182>)
11. EL CONTROL DE GANANCIA IRIA EN EL DIFERENCIAL (<https://www.ti.com/lit/ds/symlink/lm386.pdf>)
12. La ganancia total es el producto de las ganancias: Vs=100mV; Vsrms=Vs/sqrt(2)=0,071, Vorms=4V; Avs=Vorms/Vsrms=56,67; Av1\*Av2\*Av3=Avs; Av1 y Av3 son menores a 1

Av3=0,90;

¡¡SI VS = 200 mV ENTONCES LA GANANCIA ES MENOR!! Caso contrario, superamos el 1 W de potencia

1. RENDIMIENTO y eleccion de RE:
   * Mejor rendimiento se obtiene en RE = 12 Ohms: 8,57%
     + Problema, RE necesita ser de 10 W (SOLUCIONADO)
2. Condiciones elección transistores: (elegir <https://alltransistors.com/es/>)
   * 1° ETAPA:
     + Se propone 2N3819
     + Se debe ensayar el transistor para valores Vp y Idss (estos suelen ser diferentes)
   * 2° ETAPA:
   * 3° ETAPA:
     + Se tienen en cuenta el rendimiento (que sea el más elevado posible)
     + Q2 debe soportar IC >= 2,5A; por criterio se elige un transistor con Icmax 3 A
     + RE debe ser de 10W
     + Q1 proponemos pequeña señal ;



Propiedades del Diferencial:

1 – AV infinita ==> V+ = V- ==> Principio de TIERRA VIRTUAL.

2 – Rin (Zi) – Infinita ==> I+ = I- = 0.

3 – Rout (Zo) nula ==> fuente de tensión ideal.

4 – Ancho de banda infinito.

5 – Inmunidad al ruido

Pasos del diseño:

1. Determinar carga
2. Calcular corriente y tensión en la carga para obtener potencia de 1 W (No es RMS)
3. Calcular potencia en la carga para obtener máximo rendimiento

**(1)**

I’e es la corriente de alterna que circula por el transistor.

**Rendimiento:**

Para la carga trabajada:

**(2)**

|  |  |  |
| --- | --- | --- |
| RE [Ω] | RE / RL | η% |
| 8 | 1 | 8,33 |
| 9 | 1,125 | 8,47 |
| 10 | 1,25 | 8,54 |
| 11 | 1,375 | 8,57 |
| 12 | 1,5 | 8,57 |
| 13 | 1,625 | 8,53 |
| 14 | 1,75 | 8,48 |
| 15 | 1,875 | 8,41 |

1. Calcular el valor de fuente de continua necesaria para esa potencia

De (**1)** se obtiene:

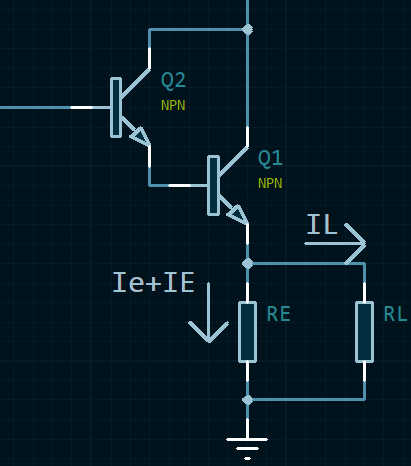
**(3)**

Vcc debe ser mayor para proteger el transistor cuando la señal alcanza sus picos máximos o valles mínimos.

AGREGAR IMAGEN RECTA DE CARGA

1. Elegir el valor de RE

Debemos elegir entre RE con valor de 11 o 12 Ω. Se propone seleccionar este valor con respecto a la potencia que debe disipar en ambos casos.



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| RE |  | VCC  (ecuación **3**) |  |  |  |  | Pico - Valle |
| 11 Ω | 0,26 A | 13,5 →14 V | 1,27 A | 0,64 A | 0,9 A | 8,91 W | 1 ; 0,27 |
| 12 Ω | 0,24 A | 14 V | 1,17 A | 0,58 A | 0,82 A | 8,07 W | 0,92 ; 0,24 |

En conclusión, la resistencia de 12 Ω disipa menos potencia y demanda menos corriente de la fuente.

1. Ganancia de tensión
2. Elección del transistor de potencia

Según los parámetros obtenidos:

y

Se elige el transistor 2SD669AT. **Se debe calcular disipador.**

**; ;** Por ende el máximo valor de corriente de colector que debe soportar el segundo transistor del Par Darlington es 39 mA, se elige el transistor SSTA06

1. Diseñar seguidor de emisor:

;

Analizando la malla de entrada:

Despejando IEQ:

; Si RE es mucho mayor a RB /βD entonces logramos independencia del Beta del transistor.

; entonces

;

Recalcular RB para verificar condición:

1. Calcular impedancias:

; es relativamente baja debido a que los resistores de RB en paralelo resulta un valor bajo

; donde Zo2 es la impedancia de salida de la segunda etapa, siendo esta mucho mayor que RB sería correcto

1. Calcular ganancia de la primera etapa para exigir una ganancia a la segunda etapa.

; se intentará aproximarse lo más posible a 1. Como la carga es la segunda etapa, se considera que es mucho mayor que Rs por lo que el paralelo Rs // RL tiende a ser Rs.

Se eligió el transisor JFET canal n 2N3819. Del datasheet y simulación se obtuvo:

;;

|  |  |
| --- | --- |
| RS | Av |
| 5 kΩ | 0,9091 |
| 10 kΩ | 0,9524 |
| 100 kΩ | 0,995 |

Conclusiones:

* Si gm es mayor, mayor es la ganancia.
* Al aumentar el valor de Rs, Av se acerca más a 1, pero aumentamos la impedancia de salida.
* Elegir un Rs de 5 kΩ el punto de trabajo se situa aproximadamente en el centro de la carga de trabajo:;

1. Calcular impedancias de la etapa:

; porque la entrada a la compuerta Rg tiende a infinito

1. Determinar la ganancia necesaria del amplificador multietapas:
2. Determinar las correspondientes ganancias de cada etapa
3. Diseñar segunda etapa:

Condiciones:

Se usará en modo diferencial, donde la entrada inversora se conecta a masa y se inyecta la señal por la entrada no inversora.

Se supone que los transistores son iguales.

Por el *rechazo en modo común* la señal no deseada (ruido) que aparece comúnmente en ambas entradas de un amplificador diferencial se anula.

Configuración **salida asimétrica – entrada asimétrica**

La ganancia en modo común disminuye drásticamente al polarizar con una fuente de corriente constante, ya que la R de fuente es una resistencia de gran valor. En consecuencia aumenta CMRR y la impedancia de entrada en modo común (menos sensible al ruido).

Los transistores deben ser PNP para poder polarizarlos.

RESUMEN: HACER UN CUADRO QUE RESUMA LAS CARACTERISTICAS DE CADA ETAPA Zo Zi Av Ai Ap

PONER TODOS LOS CALCULOS AL FINAL DE ESTE INFORME

AGREGAR CORRECION:

En la 3ra etapa con los cálculos originales, se veía la onda cortada en los ciclos negativos, por ende significaba que el/los transistores estaban trabajando en una zona de corte (IC=0) (COLOCAR FOTO). Se solucionó de dos maneras. Aumentando la corriente IE para que el punto de trabajo se desplace hacia arriba. Aumentando la fuente de continua un Volt. Para aumentar IE se disminuyó RB1 y se aumentó RB2.

Problema que aún no tiene solución: la ganancia no es de 0,99 y no se logra la transferencia calculada a la carga, Av simulada es 0,94; Vorms carga es 2,69V; Ilrms es 0,34A ; PL = 0,91 W. Se observó que al disminuir el valor de CL (capacitor a carga) disminuye el valor de señal transferida a la carga. Cseñal tienen comportamiento similar pero no es tanta la diferencia entre los valores.Óptimo hasta el momento Cseñal = 10uF y CL = 1000uF

En el caso que no se pueda corregir 0,94 a 0,99, la segunda etapa debe compensarlo: con una ganancia de 46,83. La pregunta es, ¿sería conveniente que en el control de ganancia se pueda sobrepasar estos 46,83 y colocar una ganancia por ejemplo de 48? Es decir, que la ganancia máxima sea 48 y la mínima 1,18

El primer modelo planteado del diferencial fue con NPN pero para ello se necesitaba o una fuente negativa o duplicar VCC para hacer un divisor resistivo. Se cambiaron estos por PNP y de esta manera VCC se mantiene igual y no se agrega otra fuente.

Se le agregaron 2 resistores en las bases de los transistores RB1 y RB2, para la polarización, debido a que sino, la tensión VBE sería mayor a 0,7 (imposible)

Se supone que a la entrada de esta etapa, la señal será aproximadamente 91 mV (siendo que la entrada al amplificador es 100mV). Se considera pequeña señal, por lo que los transistores tienen beta minimo de 100 (por lo general aunque queda determinar cuales se van a usar) La salida esperada es no menor a 4V

**PREGUNTAS:**

¿Que un amplificador sea de 1W significa que este es su máximo o que debe ser lo normal que entrega? Si es lo normla, ¿cómo determinar la potencia máxima? ¿Sería 1,5W?

¿Es una carga activa o fuente de polarización?

¿Es posible hacer RC=0?

RC conviene que sea 0 para no disminuir rendimiento (es un realimentación en CC)(capaz gana estabilidad)

¿Acople directo o con capacitores?

Ventaja de hacerlo con capacitores es que cada etapa se calcula por serparado. Desventaja posible, pérdida de bajas frecuencias

¿Cómo evitar perder graves por culpa de los capacitores?

Directo no conviene por baja estabilidad (cambios en la fuente son peligrosos)

¿Cómo determino VCC? ¿El valor de ganancia lo determina? Ya sé que le voy a demandar más de 1 Ampere debido a que la última etapa tiene IE=0,8A (maximo)

¿Qué pasa si aumenta el beta o disminuye?

**Descripción de las partes y funcionamiento del circuito:**

**Tabla de materiales y componentes (Amplificador):**

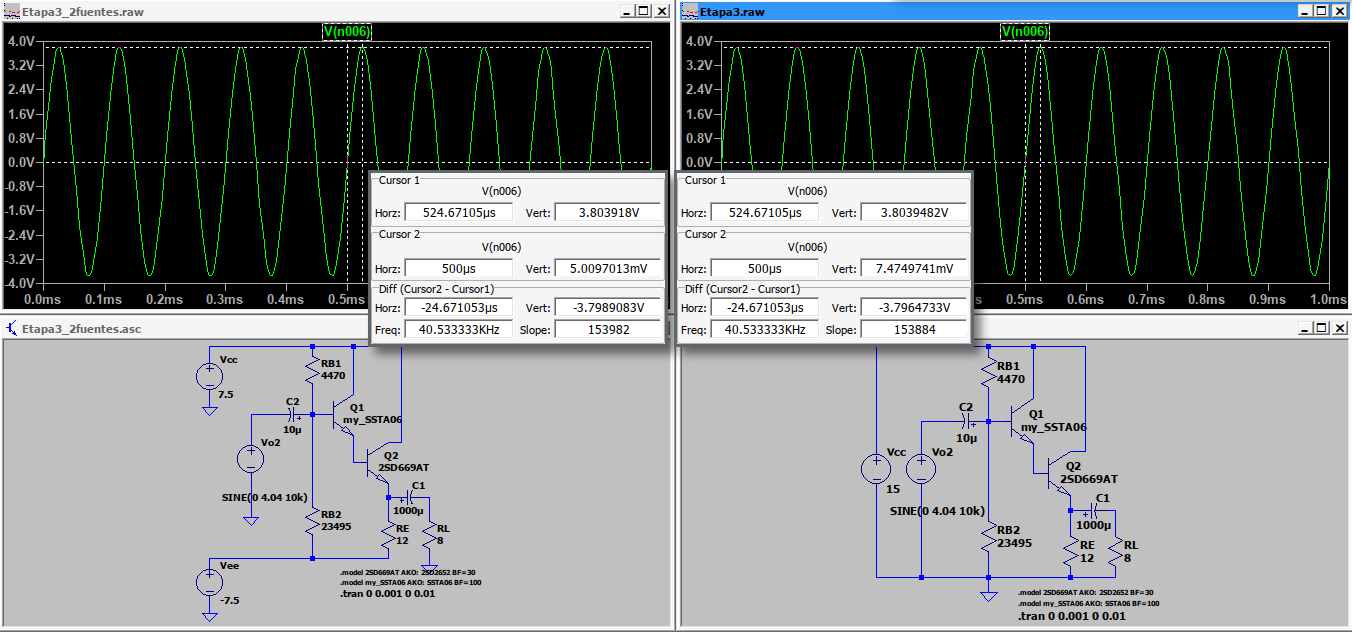
**Por qué se opta por una fuente regulada:**

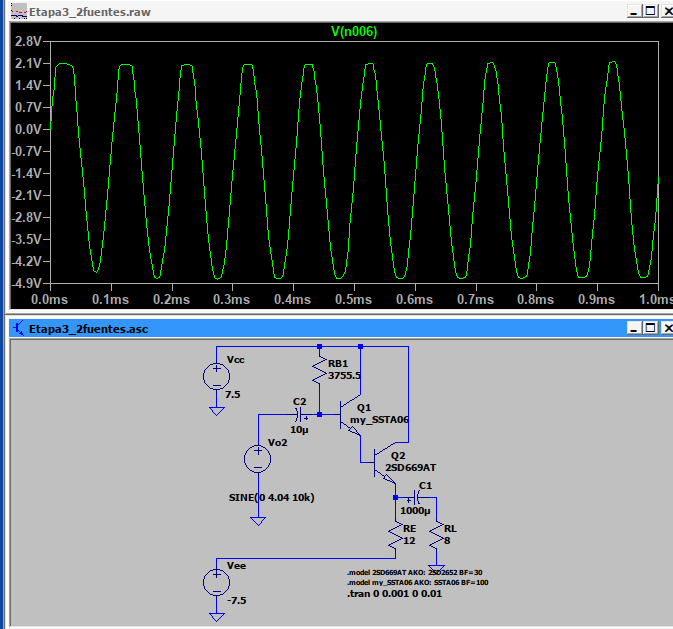
(por qué no usar directamente un transformador con puente rectificador?)

**Tabla de materiales y componentes (Fuente regulada):**

**PLANTEO DE 2 FUENTES**

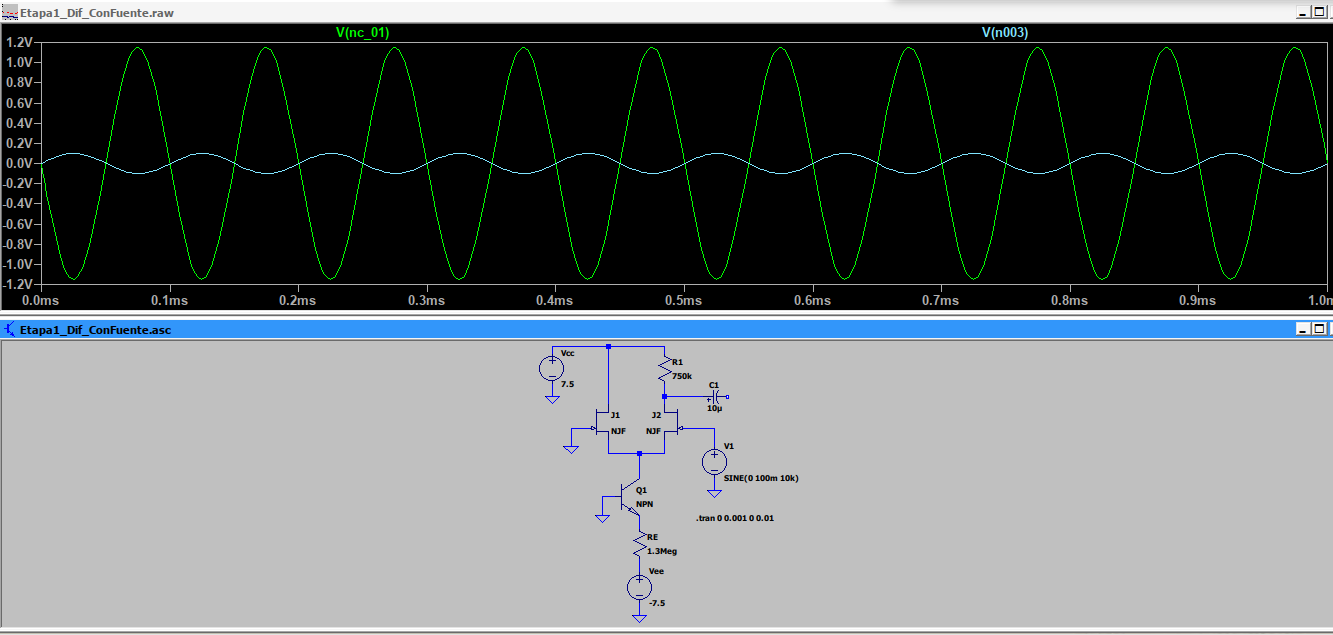
Para la 3era etapa dividir las fuentes da el mismo resultado. Se prueba eliminando un resistor de parte de las 2 fuentes para observar si el resultado es el mismo

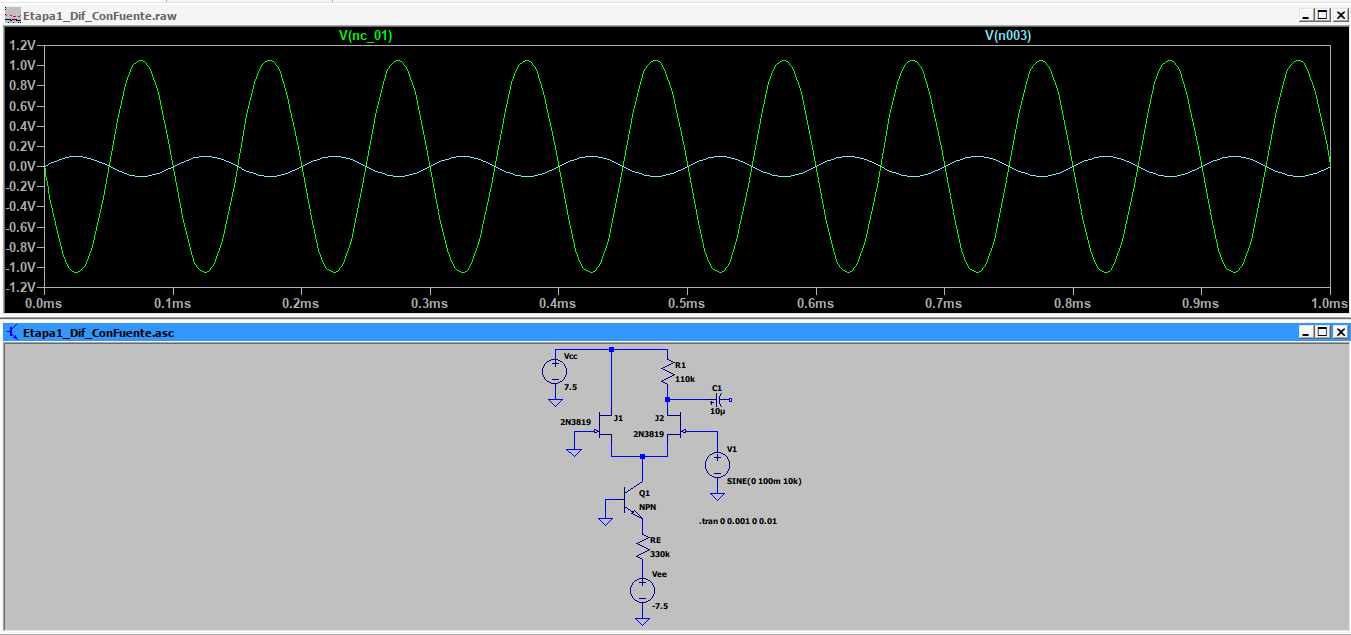


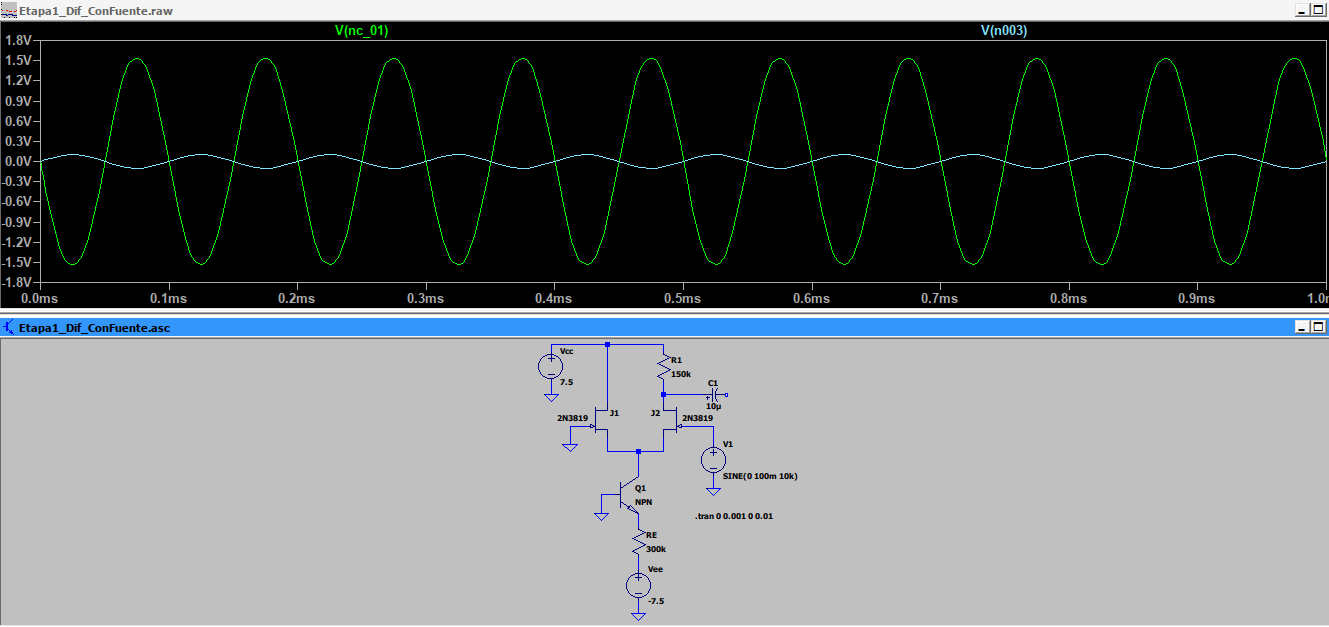
Se observa deformación (**explorar el por qué**)

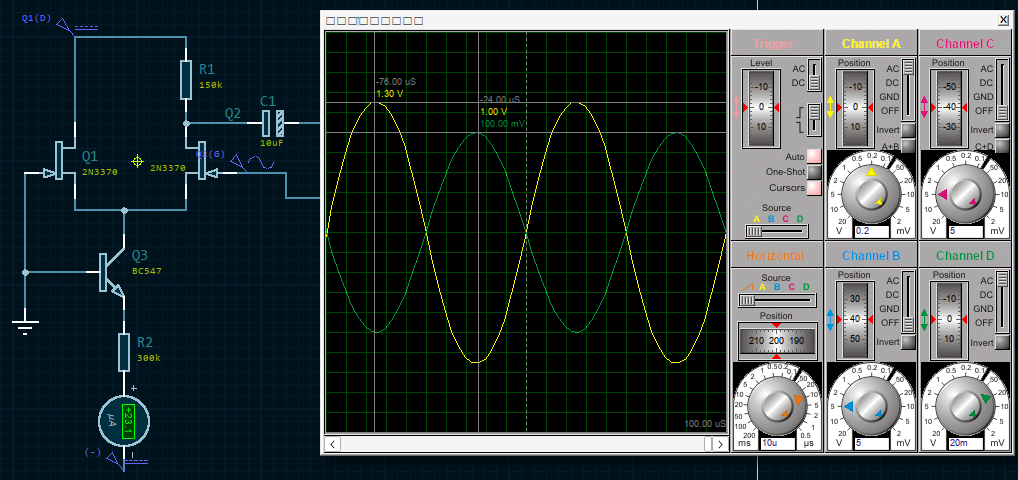
Probar espejo simple con JFETs ya que se supone que no hay corriente en compuerta, por ende la Iref=0, y el espejo no funcionaría.

Se propone BJT polarizado en región activa.

Primer Intento

Segundo intento (Con transistores 2n3819)

Tercer intento (Buenos resultados al cambiar de transitores JFET y buenos resultados en proteus)



Etapa 2

ICQ en necesaria: 12.24 mA

Para ganancia de 3: RE=110

Vre=1.3464

Vce = Vcc/2 = 7.5

Vcc-Vrc-Vce-Vre=0 ⇒ Vce = Vcc-Vrc-Vre = 9.6144

Para disminuir la tension se puede aumentar Re con un cap en paralelo:

Re =[(Vcc-Vrc-Vce)/Ic]-110 = 172.745

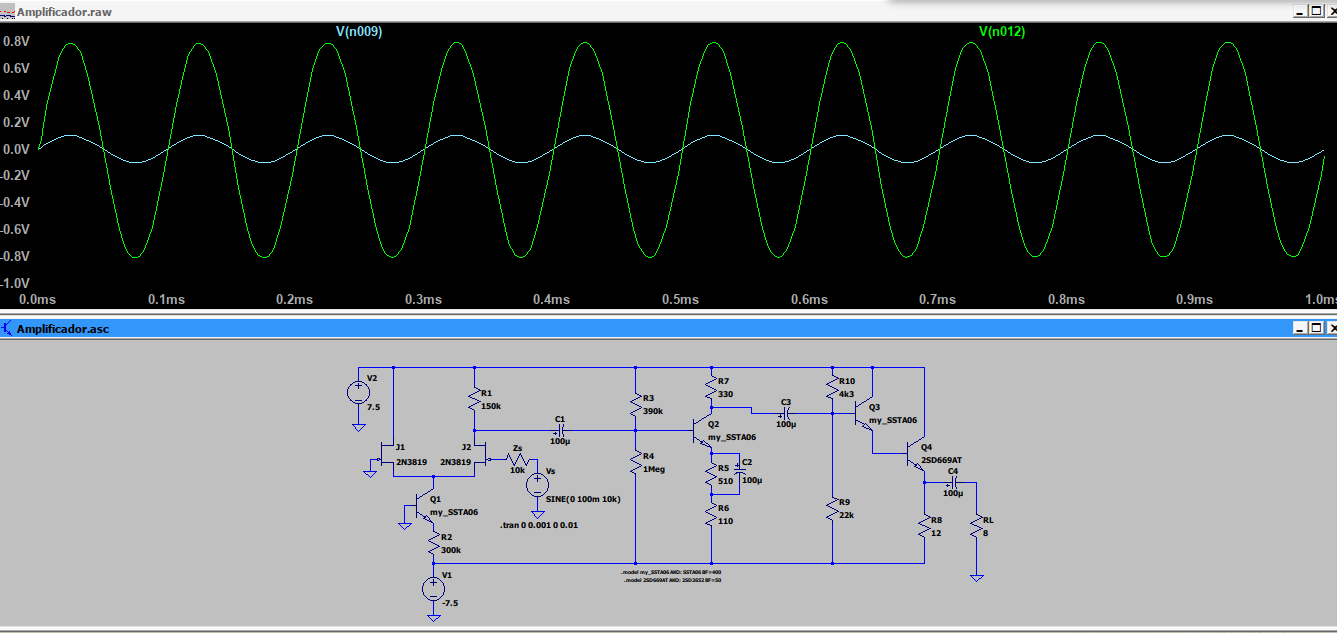
RE total = 282.75

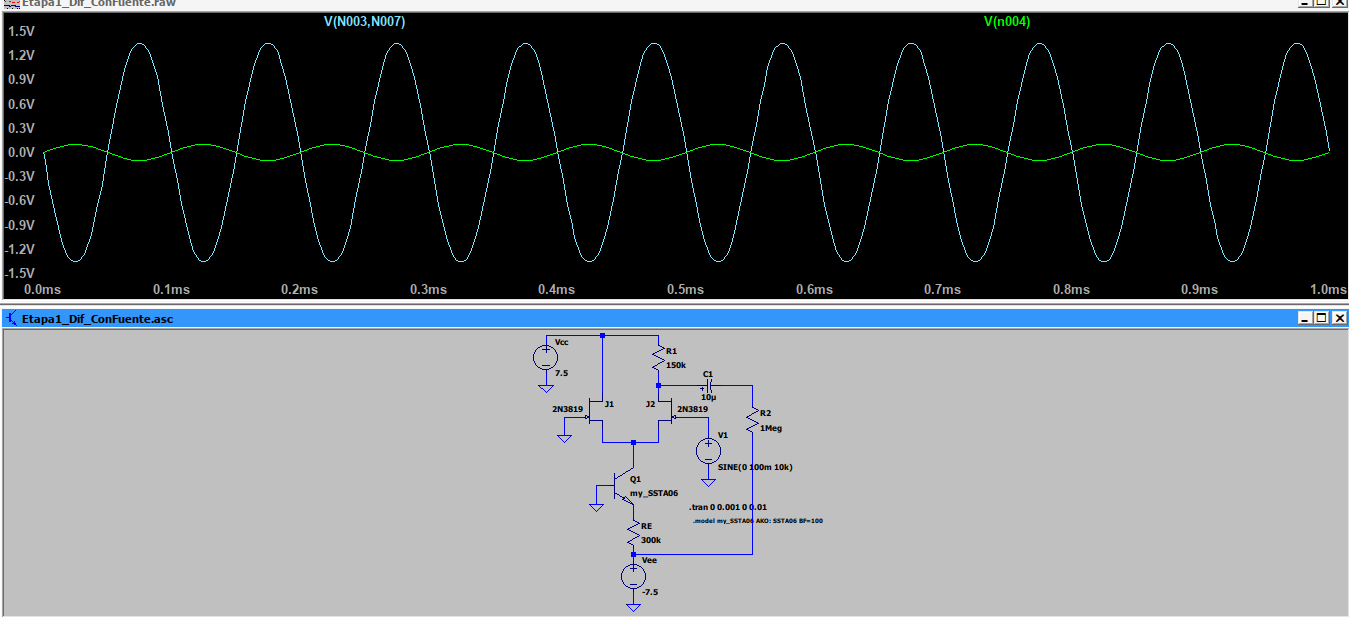
RB < 0.1\*beta\*REtot=2k8275

Vth = 4.4224

RB1=9.570 135 747 × 103

RB2=3.998 109 641 × 103

Unido, está atenuando

Se observa que para el diferencial planteado, la impedancai de carga que evita una pérdida en la transferencia es 1 Mega, la cual no es posible de lograr con la etapa de EC acoplada.

**PLANTEO DE SOLUCION:** Amplificador diferencial con BJT y reemplazar emisor común con JFET en fuente común (ver si su impedancia de salida puede ser menor o igual a 330)

PAGINA 476

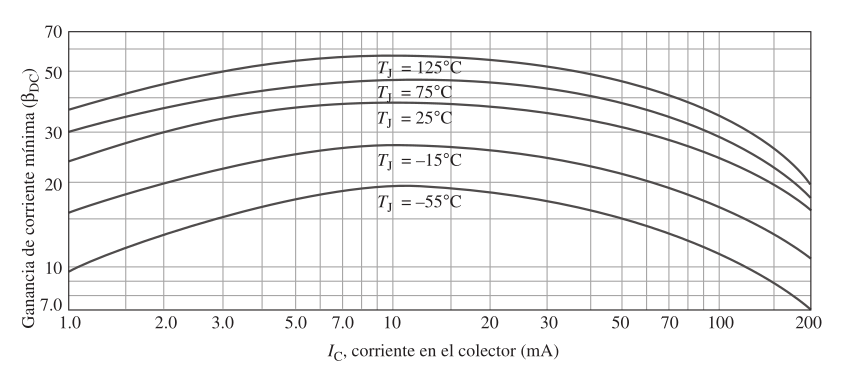
https://youtu.be/t31tAMHDw-E

La impedancia de salida de un JFET depende del dispositivo, RD y RL, si RL»RD => RL||RD=RD; RD<330Ohms; Diseño propuesto con RD=100 Ohms y polarización por Fuente de corriente

Se decide no usar JFETs debido a que su impedancia de salida no puede ser baja

𝐴𝑑𝑚 ≅−𝛼𝑅𝐶/2𝑟𝑒

Impedancia de entrada de segunda etapa es aprox RB//beta\*re=2.86//beta\*re; beta\*re da aprox 1 k; la impedancia de salida del diferencial debe ser 100 ohms

**El producto de VCE e IC no debe exceder la disipación de potencia máxima. Tanto VCE como**

**IC no pueden ser máximos al mismo tiempo. Si VCE es máximo, IC se calcula como**

**IC =PD(máx)/VCE**

**Si IC es máxima, VCE se calcula reordenando la ecuación previa como sigue:**

**VCE =PD(máx)/IC**

**PD(máx) normalmente se especifica a 25°C; a temperaturas más altas, PD(máx) es menor.**

**Si un amplificador no se polariza con voltajes de cd correctos a la entrada**

**y salida, puede irse a saturación o a corte cuando se aplique una señal de entrada.**